

(19)日本国特許庁 (J P)

(12) 実用新案公報 (Y 2)

(11)実用新案出願公告番号

実公平6-19315

(24) (44)公告日 平成6年(1994)5月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/155	F	8726-5H		
	C	8726-5H		
	S	8726-5H		

請求項の数 1 (全 5 頁)

(21)出願番号	実願昭63-158680	(71)出願人	999999999 第一電機株式会社 東京都世田谷区等々力1-33-13
(22)出願日	昭和63年(1988)12月6日	(72)考案者	大島 盛幸 東京都世田谷区等々力1-33-13 第一電 機株式会社内
(65)公開番号	実開平2-79182	(74)代理人	弁理士 林 孝吉
(43)公開日	平成2年(1990)6月18日	審査官	小池 正彦
		(56)参考文献	特開 昭52-107551 (J P, A)

(54)【考案の名称】 パワーMOS-FETスイッチング電源回路

1

【実用新案登録請求の範囲】

【請求項1】 2つのパワーMOS-FETをプッシュプル作動させてインバータ制御を行うスイッチング電源回路であって、電源ライン間に直列に接続された2つのパワーMOS-FETの中間にコイルを配設し、該コイルに設けた中間タップから出力を取り出すようにしたスイッチング電源回路に於て、前記2つのパワーMOS-FETに夫々保護回路を介装し、前記コイルの両端子間のインダクタンスは、電源ラインの短絡時に前記保護回路が動作する迄の時間、電源短絡電流を前記パワーMOS-FETの絶縁破壊電流レベル以下に制限する値であることを特徴とするパワーMOS-FETスイッチング電源回路。

【考案の詳細な説明】

【産業上の利用分野】

2

この考案はパワーMOS-FETスイッチング電源回路に関するものであり、特にパワーMOS-FETの破壊を防止し、スイッチングの効率を向上させたパワーMOS-FETスイッチング電源回路に関するものである。

【従来の技術】

従来のスイッチング電源回路の一例を別紙添付図面の第2図乃至第3図に従って説明する。第2図に於て(1)はスイッチング電源回路であり、プッシュプル方式となっている。又、(2)は一般の商用電源である。そして、整流用ダイオード(3)並びに平滑用コンデンサ(4)(4)によつて交流を直流に変換している。又、電源ライン(5)(6)の間にトランジスタ或はパワーMOS-FET等のスイッチング素子(7)(8)を2つ直列接続し、ドライバ回路部(9)が該スイッチング素子(7)(8)を高周波にて断続制御を行い、出力を安定化している。このとき、スイッチン

グ素子(7)(8)は交互に「オン」「オフ」を繰返し、上方のスイッチング素子(7)により電流 I_1 を流し、下方のスイッチング素子(8)により電流 I_2 を流している。そして、電力の変換として高周波トランス(10)を用い、ダイオード(11)(11)、コイル(12)、並びにコンデンサ(13)にて整流並びに平滑を行い安定化出力を得ている。

又、第3図に示す如く、前記スイッチング素子(7)(8)の作動には、その作動速度特性に適合するように、双方が「オフ」となる休止時間 t_o を前記ドライバ回路部(9)に設定している。これは、スイッチング素子(7)(8)の双方が同時に「オン」となり、第2図に示す電源短絡電流 I_s が発生することを防止するためである。しかし、電源ノイズの飛込みや該スイッチング電源回路(1)の温度特性等の原因によつて、スイッチング素子(7)(8)の双方が同時に「オン」となることがある。この対策として各種の保護回路が考案されているが、スイッチング素子(7)(8)がトランジスタの場合は、誤動作に対し比較的耐久性を有しているので前記休止時間 t_o を充分に設定して保護回路を設けていないスイッチング電源回路(1)も実用化されている。

一方、トランジスタに比較し、高電圧大電流でも熱的に安定な動作をするパワーMOS-FETを、該スイッチング電源回路(1)のスイッチング素子(7)(8)として使用する際には50~100KHz程度のスイッチング動作に於ても、休止時間 t_o を長く設定する必要がある。これは、パワーMOS-FETのスイッチング特性の逆回復時間が比較的長いためであり、更に、該パワーMOS-FETはトランジスタと異なり前記電源短絡電流 I_s が一定値以上流れると瞬時にゲート電極の絶縁物が破壊されてしまうので、この破壊を防止するためである。但し、休止時間 t_o を長く設定すれば電源効率も低下することとなる。又、休止時間 t_o を充分に設定しても、何らかの原因で限界値以上の電源短絡電流 I_s が流れるとパワーMOS-FETは一瞬にして破壊される。

〔考案が解決しようとする課題〕

前述した従来のプッシュプル方式のスイッチング電源回路に、スイッチング素子としてパワーMOS-FETを使用する際は、破壊並びに誤動作防止のため双方のパワーMOS-FETが「オフ」となる休止時間を充分に長くとらなければならない。従って、出力の効率が低く、又、誤動作防止も充分ではなかつた。そこで、パワーMOS-FETスイッチング電源回路の効率を向上するとともに、パワーMOS-FETの誤動作及び破壊の虞れを解消するために解決せられるべき技術的課題が生じてくるのであり、この考案は該課題を解決することを目的とする。

〔課題を解決するための手段〕

この考案は、上記目的を達成するために提案せられたものであり、2つのパワーMOS-FETをプッシュプル作動させてインバータ制御を行うスイッチング電源回路

であつて、電源ライン間に直列に接続された2つのパワーMOS-FETの中間にコイルを配設し、該コイルに設けた中間タップから出力を取出すようにしたスイッチング電源回路に於て、前記2つのMOS-FETに夫々保護回路を介装し、前記コイルの両端子間のインダクタンスは、電源ラインの短絡時に前記保護回路が動作する迄の間、電源短絡電流を前記パワーMOS-FETの絶縁破壊レベル以下に制限する値であることを特徴とするパワーMOS-FETスイッチング電源回路を提供せんとするものである。

〔作用〕

この考案は、パワーMOS-FETを使用したプッシュプル方式のスイッチング電源回路に於て、電源ライン間に直列に接続された2つのパワーMOS-FETの中間にコイルを配設してある。即ち、+電源ラインに一方のパワーMOS-FETのドレインを接続し、該パワーMOS-FETのソースは前記コイルの一端部に接続されている。そして、前記コイルの他端部を他方のパワーMOS-FETのドレインに接続し、このパワーMOS-FETのソースを-電源ラインに接続してある。

そして、該コイルに中間タップを設け、該中間タップから出力を取出している。従って、前記2つのパワーMOS-FETがスイッチング動作して電流が出力端子に流れる際には、該コイルの中間タップから端部までのインダクタンスが夫々作用する。又、前記2つのパワーMOS-FETが誤動作して双方が「オン」となると、+電源ライン側に接続されたパワーMOS-FETのソースから、他方のパワーMOS-FETのドレインへ電源短絡電流が流れる。然るときは、前記コイルの両端部間のインダクタンスが作用し、このインダクタンス値は前記中間タップから端部までの値の4倍になる。これは、インダクタンス値はコイルのターン数の2乗に比例するからである。

従って、パワーMOS-FETが正常に作動する際には低インダクタンスのため電流消費は小であり、電源短絡電流が流れるときは4倍のインダクタンスとして働き該電流を低減する。そして、このコイルのインダクタンス値は、電源短絡時に保護回路が過電流を検出して作動する迄、短絡電流をパワーMOS-FETの絶縁破壊電流レベル以下に制限する値に設定されており、パワーMOS-FETの絶縁破壊が防止される。

〔実施例〕

以下、この考案の一実施例を別紙添付図面の第1図に従って詳述する。尚、説明の都合上、従来公知に属する技術事項も同時に説明する。又、従来例で使用した符号と同一構成の部分は同一符号を使用するものとする。第1図は複数の蛍光灯を同時に点灯させる蛍光灯インバータ装置(14)の出力部にパワーMOS-FET(15)(16)を応用した例である。商用電源の電源入力ライン(17)(17)には整流用ダイオード(3)が接続され、電力用の電源ライ

10

20

30

40

50

ン(18)(19)にDC135Vを供給している。(4)は電流平滑用の電解コンデンサである。又、前記電源入力ライン(17)(17)には電源トランス(20)が接続され、パワーMOS-FET(15)(16)の作動の制御を行うドライバ回路部(9)に電源を供給している。そして、電源ライン(18)(19)には中間タップ(21)を有するコイル(22)を中間に介してパワーMOS-FET(15)(16)が直列に接続されている。その接続は、図中上方のパワーMOS-FET(15)のドレイン(23)を電源ライン(18)に接続し、下方のパワーMOS-FET(16)のソース(24)を電源ライン(19)に接続してある。そして、上方のパワーMOS-FET(15)のソース(25)と下方のパワーMOS-FET(16)のドレイン(26)との間をコイル(22)を介して接続し、該コイル(22)の中間タップ(21)から出力を取出している。前記パワーMOS-FET(15)(16)のゲート(27)(28)は夫々前記ドライバ回路部(9)に接続されているが、上方のパワーMOS-FET(15)とドライバ回路部(9)との間にパルストランス(29)を挿入して、双方のパワーMOS-FET(15)(16)を絶縁してある。そして、この実施例ではドライバ回路部(9)が制御するパワーMOS-FET(15)(16)の休止時間 t_o を $1\mu s$ と、極めて高速のスイッチング動作を為すように構成している。

又、コイル(22)の中間タップ(21)から両端子(30)(31)間のインダクタンスは、出力端子(32)(33)間を短絡した場合の保護回路(34)(34)の動作に必要な時間だけ電流を制限できる容量とする。この実施例に於ては電流検出用抵抗(35)(35)を夫々 0.05Ω 、保護回路(34)(34)の応答速度 $1\mu s$ 以下とし、前記コイル(22)のインダクタンスは端子(30)と中間タップ(21)との間、並びに中間タップ(21)と端子(31)との間で夫々 $2.2\mu H$ としてある。又、ダイオード(36)(36)は転流用として作用し、パワーMOS-FET(15)(16)を過電圧から保護する目的で、逆回復時間が100nsの超高速ダイオードを使用している。該ダイオード(36)(36)と直列に接続されたコンデンサ(37)(37)は、パワーMOS-FET(15)(16)のスイッチングノイズ低減用並びに外部より侵入するノイズからパワーMOS-FET(15)(16)を保護するものである。そして、コンデンサ(38)と抵抗(39)はノイズ吸収用であり、最終段のコンデンサ(40)は直流遮断用である。

ここで、前記コイル(22)の作用を説明する。ドライバ回路部(9)によつてパワーMOS-FET(15)(16)がスイッチング作動し、図中電流 I_R 並びに I_F が流れるときは、出力インピーダンスを可及的に小として電流消費を抑止すべきである。一方、電源短絡電流 I_s が発生したときにはパワーMOS-FET(15)(16)の破壊防止のため、該電源短絡電流 I_s に対して大なるインピーダンスが存在するを可とする。そこで、電流 I_F が流れるときにコイル(22)は中間タップ(21)と端子(31)との間のインダクタンスとして働き、電流 I_R が流れるときは端子(30)と中間タップ(21)との間のインダクタンスとして働

く。このインダクタンス値は前述したように夫々 $2.2\mu H$ に設定してある。そして電源短絡電流 I_s が発生したときには、端子(30)と端子(31)との間のインダクタンスが作用する。このとき、同一の磁芯に導線を巻回して得られるインダクタンスはターン数の2乗に比例する原理から、インダクタンス値は $2.2\mu H \times 2^2 = 8.8\mu H$ となつて電源短絡電流 I_s を低減し、保護回路34, 34が過電流を検出して作動する迄、短絡電流をパワーMOS-FETの絶縁破壊電流レベル以下に制限する。

又、パワーMOS-FET(15)(16)にはドレイン(23)(26)からゲート(27)(28)に帰還する寄生コンデンサ容量 C_{gs} が存在するが、前述したインダクタンスの電流制限作用により該寄生コンデンサ容量 C_{gs} の影響を著しく小として誤動作を防止する。そして、電源短絡電流 I_s を低減することによつてパワーMOS-FET(15)(16)の誤動作並びに破壊を防止するとともに、発熱を低減することができる。更に、スイッチングノイズ及び出力側に伝播するノイズに対してはフィルタとして作用し、出力端子短絡時は電流制限機能を発揮する。

而して、この考案は、この考案の精神を逸脱しない限り種々の改変を為す事ができ、そして、この考案が該改変せられたものに及びことは当然である。

【考案の効果】

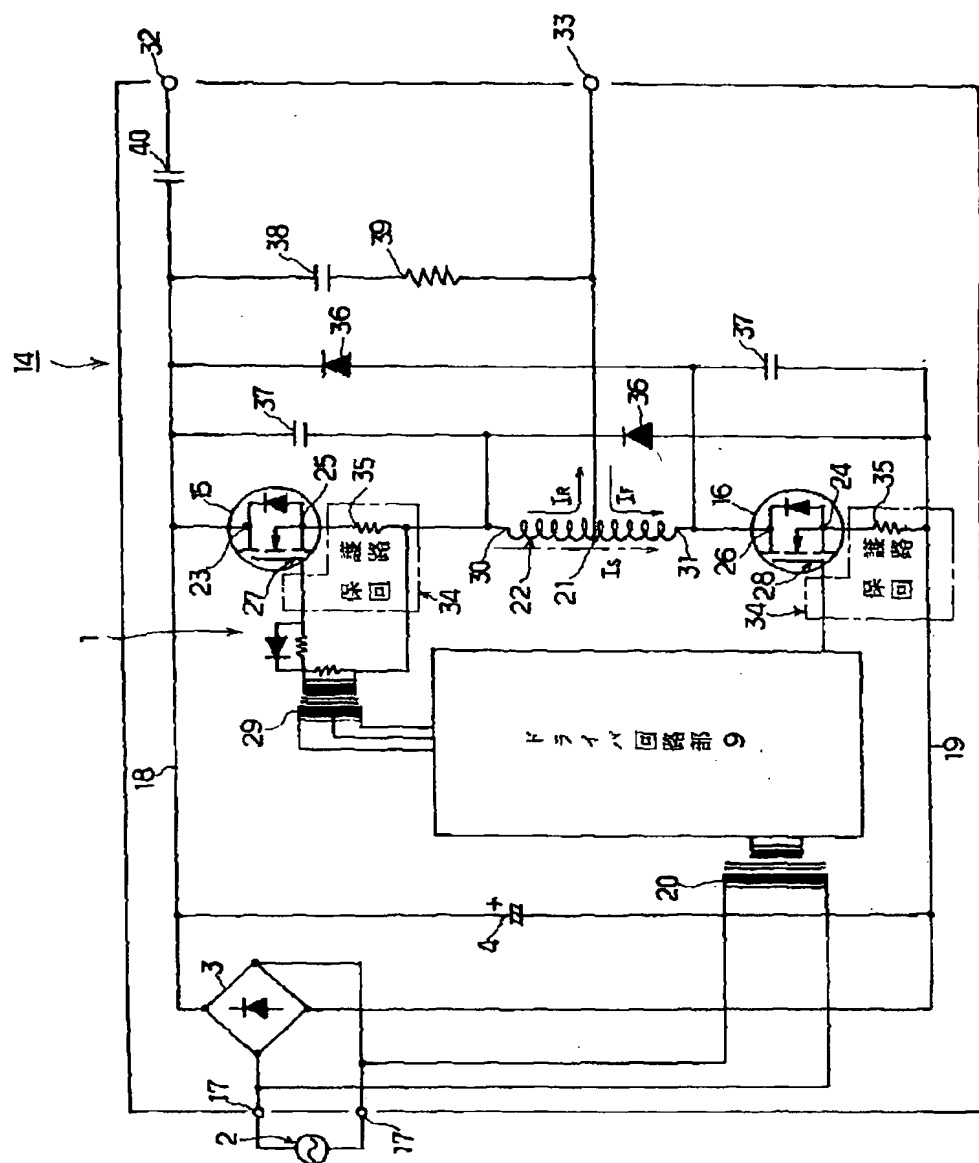
この考案は、上記一実施例に詳述した構成に係るので、電源短絡時にパワーMOS-FETの保護回路が過電流を検出して作動する迄、短絡電流をパワーMOS-FETの絶縁破壊電流レベル以下に制限し、パワーMOS-FETの誤作動及び破壊を防止する。依つて、スイッチング時の休止時間を短縮してスイッチング周波数の高速化が可能となり電源効率が向上するとともに、発熱が減少するため放熱器を小として装置を小型化できる。そして、過電流抑制効果によりスイッチングノイズが低減し、且つ、出力側に伝播するノイズにはフィルタとして作用する等、諸種の効果を発揮し、パワーMOS-FETスイッチング電源回路の性能並びに信頼性の向上に寄与できる。

【図面の簡単な説明】

第1図は本考案の一実施例を示すパワーMOS-FETスイッチング電源回路の回路図、第2図及び第3図は従来例を示し、第2図はスイッチング電源回路の回路図、第3図はスイッチング素子の動作波形を示す解説図である。

- (1)……スイッチング電源回路
- (9)……ドライバ回路部
- (14)……蛍光灯インバータ装置
- (15)(16)……パワーMOS-FET
- (18)(19)……電源ライン、(21)……中間タップ
- (22)……コイル、(30)(31)……端子
- (34)……保護回路、(35)……電流検出用抵抗

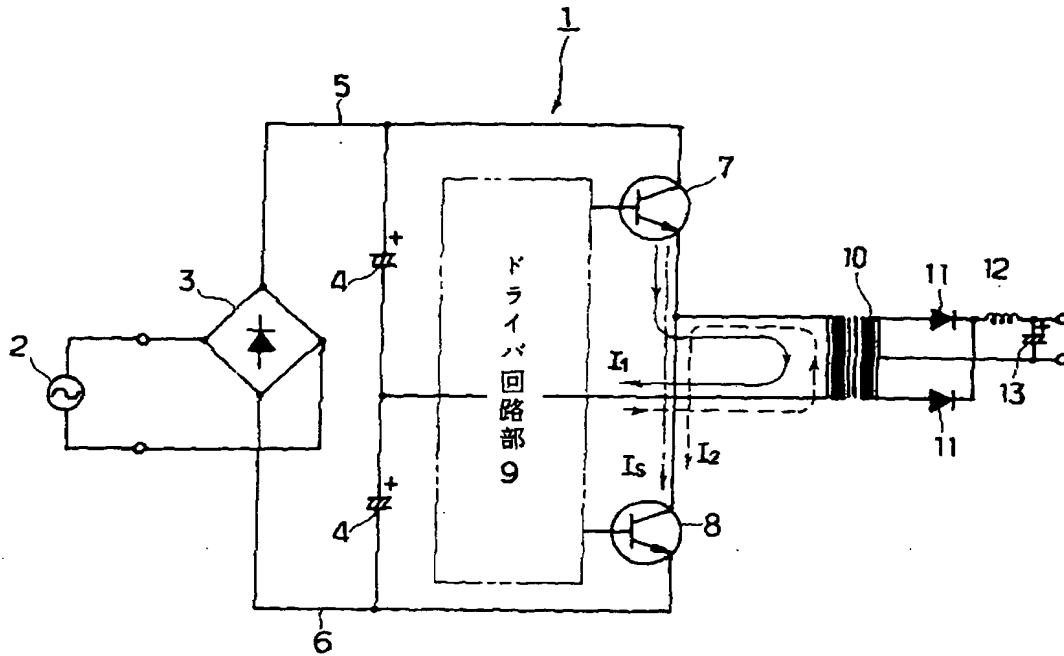
【第 1 図】



- (1)---スイッチング電源回路
(04)---蛍光灯インバータ装置
(03)(08)---パワーMOS—FET
(08)(09)---電源ライン
(20)---中間タップ
(22)---コイル

6/6

【第2図】



【第3図】

